

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-232383

(43) 公開日 平成10年(1998) 9月2日

(51) Int.Cl.⁶

識別記号

F I

G 0 2 F 1/133

5 2 0

G 0 2 F 1/133

5 2 0

G 0 9 G 3/36

G 0 9 G 3/36

審査請求 有 請求項の数 4 O L (全 8 頁)

(21) 出願番号

特願平9-34873

(22) 出願日

平成9年(1997) 2月19日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 神尾 真理

東京都港区芝五丁目7番1号 日本電気株式会社内

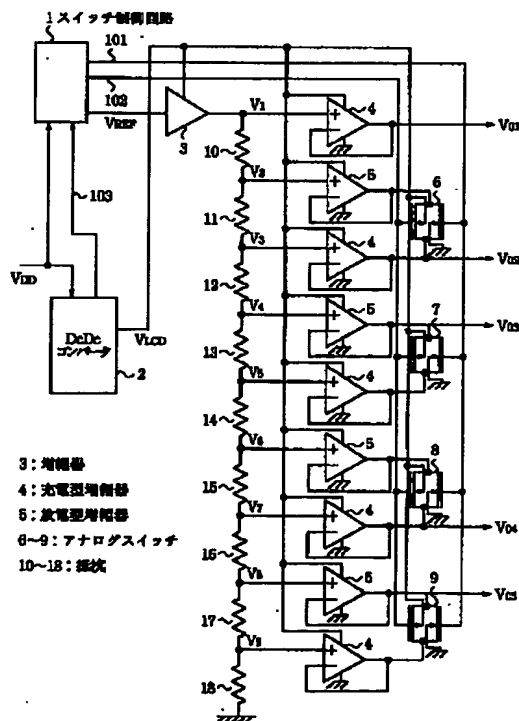
(74) 代理人 弁理士 京本 直樹 (外2名)

(54) 【発明の名称】 液晶駆動用レベル電源回路

(57) 【要約】

【課題】 電源投入時の高電位電圧立ち上がりが発生する貫通電流を排除して、電源回路を正常に稼働させることのできる液晶駆動レベル電源回路を提供する。

【解決手段】 電源電圧 V_{DD} の供給を受けて、高電位電圧 V_{LCD} を出力するDCDCコンバータ2と、基準電圧 V_{REF} を生成するとともに、DCDCコンバータ2の電圧識別信号103の入力を受けて、スイッチ切替制御信号101、102を出力するスイッチ制御回路1と、基準電圧 V_{REF} を増幅して出力する増幅器3と、増幅器3の出力端と接地点の間にブリーダー抵抗回路を形成する抵抗10～18と、正入力端子に前記ブリーダー抵抗回路の分圧出力が入力される充電型増幅器4および放電型増幅器5と、プッシュプル接続される一対の充電型増幅器4および放電型増幅器5の出力側に接続され、スイッチ切替制御信号101、102により切替制御されるアナログスイッチ6～9とを備えて構成される。



【特許請求の範囲】

【請求項1】 所定の電源電圧の入力を受けて、当該電源電圧を上回る高電位電圧および所定の基準電圧を生成して出力するとともに、当該高電位電圧の電圧レベルを識別して特定の電圧出力切替制御信号を出力する電圧変換／制御手段と、

前記基準電圧の出力側と所定の低電位電源との間に直列接続される第1、第2、第3、……第Nの抵抗により形成されるブリーダー回路と、

前記基準電圧を入力して増幅し、第1の液晶駆動用レベル電圧として出力する第1の充電型増幅回路と、

前記ブリーダー回路を形成する第i (i=1, 3, 5, ……N-2) の抵抗と第(i+1)の抵抗との接続点における分圧電圧を入力し、増幅して出力する第j (j=1, 2, 3, ……N-5) の放電型増幅回路と、

前記ブリーダー回路を形成する第(i+1)の抵抗と第(i+2)の抵抗との接続点における分圧電圧を入力し、増幅して出力する第k (k=2, 3, 4, ……N-4) の充電型増幅回路と、

前記第jの放電型増幅回路の出力端と、前記第kの充電型増幅回路の出力端との間に挿入接続されて、前記電圧出力切替制御信号によりオン／オフ切替制御され、これらの第jの放電型増幅回路と第kの充電型増幅回路をブッシュアップ接続による増幅出力電圧を、それぞれ第1形態の第jの液晶駆動用レベル電圧として出力するように機能する作用と、これらの第jの放電型増幅回路と第kの充電型増幅回路の中の一方向のみによる増幅出力電圧を、それぞれ第2形態の第jの液晶駆動用レベル電圧として出力するように機能する作用とを有する第jのスイッチ手段と、

を備えて構成されることを特徴とする液晶駆動用レベル電源回路。

【請求項2】 前記電圧変換／制御手段が、前記電源電圧の入力を受けて、当該電源電圧を昇圧して前記高電位電圧を出力するとともに、当該高電位電圧の電圧レベルを識別して、所定の電圧識別信号を生成して出力するDCDC変換回路と、

前記電源電圧の入力を受けて所定の原基準電圧を生成して出力するとともに、前記電圧識別信号を入力して、前記電圧出力切替制御信号を生成して出力する電圧出力切替制御回路と、

前記原基準電圧を増幅して、前記基準電圧を生成して出力する増幅器と、

を備えて構成される請求項1記載の液晶駆動用レベル電源回路。

【請求項3】 前記第1～第(N-4)の充電型増幅回路が、ソースに前記高電位電圧が供給され、ゲートがドレインに接続される第1の第1種導電型トランジスタと、

ソースに前記高電位電圧が供給され、ゲートが前記第1の第1種導電型トランジスタのゲートに接続される第2の第1種導電型トランジスタと、

ドレインが前記第1の第1種導電型トランジスタのドレインに接続され、ゲートに増幅出力電圧が帰還入力される第1の第2種導電型トランジスタと、

ドレインが前記第2の第1種導電型トランジスタのドレインに接続され、ゲートには、それぞれ対応する前記基準電圧または前記ブリーダーの分割電圧が入力されて、

10 ソースが前記第1の第2種導電型トランジスタのソースに接続される第2の第2種導電型トランジスタと、

前記第1および第2の第2種導電型トランジスタのソースの接続点と、前記低電位電源との間に挿入接続される第1の電流源と、

ソースに前記高電位電圧が供給され、ゲートが前記第2の第1種導電型トランジスタのドレインに接続されるとともに容量を介してドレインに接続されて、当該ドレインより、それぞれ各レベルに対応する液晶駆動用レベル電圧を出力するように機能する第3の第1種導電型トランジスタと、

20 前記第3の第1種導電型トランジスタのドレインと、前記低電位電源との間に挿入接続される第2の定電流源と、を備えて構成され、

前記第1～第(N-5)の放電型増幅回路が、ソースに前記低電位電源が供給され、ドレインとゲートが接続される第3の第2種導電型トランジスタと、

ソースに前記低電位電源が供給され、ゲートが前記第3の第2種導電型トランジスタのゲートに接続される第4の第2種導電型トランジスタと、

30 ドレインが前記第3の第2種導電型トランジスタのドレインに接続され、ゲートに増幅出力が帰還入力される第4の第1種導電型トランジスタと、

ドレインが前記第4の第2種導電型トランジスタのドレインに接続され、ゲートには、それぞれ対応する前記ブリーダーの分割電圧が入力されて、ソースが前記第4の第1種導電型トランジスタのソースに接続される第5の第1種導電型トランジスタと、

前記高電位電源と、前記第4および第5の第1種導電型トランジスタのソースの接続点との間に挿入接続される第3の定電流源と、

40 ソースに前記定電位電源が供給され、ゲートが前記第4の第2種導電型トランジスタのドレインに接続されるとともに容量を介してドレインに接続されて、当該ドレインより、それぞれ各レベルに対応する液晶駆動用レベル電圧を出力するように機能する第5の第2種導電型トランジスタと、

前記高電位電源と、前記第5の第2種導電型トランジスタのドレインとの間に挿入接続される第4の定電流源と、を備えて構成される請求項1記載の液晶駆動用レベル電源回路。

【請求項4】 前記第1〜第(N-5)のスイッチ手段が、対応するソースとドレインが共通接続され、ゲートに前記電圧出力切替制御信号を形成する1対のレベル信号の入力を受けて、当該レベル信号によりオン・オフ切替制御される第1種導電型トランジスタと第2種導電型トランジスタにより構成される請求項1記載の液晶駆動用レベル電源回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は液晶駆動用レベル電源回路に関し、特に半導体装置により形成され、液晶素子駆動用電圧を生成する液晶駆動用レベル電源回路に関する。

【0002】

【従来の技術】 一般に、液晶表示装置においては、液晶表示を行う際に液晶素子を駆動するための電源が必要であり、このために液晶駆動用レベル電源回路が設けられている。図3は、従来一般に使用されている液晶駆動用レベル電源回路の1例を示すブロック図であり、図3に示されるように、本従来例は、電源電圧 V_{DD} の供給を受けて、 n 倍の高電位の電源電圧 V_{LCD} を生成して出力するDCDCコンバータ2と、所定の基準電圧 V_{REF} を入力して増幅して出力する増幅器3と、増幅器3の出力端と接地点との間に直列接続されてブリーダ抵抗回路を形成する抵抗 $10 \sim 18$ と、それぞれ正入力端子に前記ブリーダ抵抗回路の各分圧電圧出力が入力され、負入力端子に各出力電圧が入力される充電型増幅器4および放電型増幅器5とを備えて構成される。

【0003】 また、図4は、当該液晶駆動用レベル電源回路に含まれる充電型増幅器4と放電型増幅器5の内部構成を示す回路図であり、図3のブロック図において、出力電圧 V_{02} を出力するように動作する、一対の充電型増幅器4と放電型増幅器5のプッシュプル接続による組み合わせ回路が示されている。図4に示されるように、充電型増幅器4は、PMOSトランジスタ19、20および24と、NMOSトランジスタ21および22と、定電流源23および26と、容量25とを備えて構成され、放電型増幅器5は、PMOSトランジスタ28および29と、NMOSトランジスタ30、31および33と、定電流源27および33と、容量32とを備えて構成される。

【0004】 先ず、図3を参照して、本従来例の総合動作について説明する。図3において、DCDCコンバータ2より出力される高電位電圧 V_{LCD} は、増幅器3および各充電型増幅器4および放電型増幅器5に供給される。増幅器3からは、基準電圧 V_{REF} が増幅されて電圧 V_1 が出力され、液晶駆動レベルの最高出力に対応する充電型増幅器4の正入力端子に入力されて、当該充電型増幅器4からは、液晶駆動レベルの最大レベルに対応する出力電圧 V_{01} が出力されるとともに、ブリーダ抵抗

回路にも供給される。このブリーダ抵抗回路においては、抵抗 $10 \sim 18$ により電圧 V_1 が抵抗分割されて、それぞれ対応する充電型増幅器4および放電型増幅器5の正入力端子に入力される。これにより、各分割電圧を入力とする一対の充電型増幅器4と放電型増幅器5のプッシュプル接続による組み合わせ回路からは、それぞれ各液晶駆動レベルに対応する出力電圧 V_{02} 、 V_{03} 、 V_{04} および V_{05} が出力される。即ち、当該従来例の場合においては、5レベルの液晶駆動レベルに対応する出力電圧 V_{01} 、 V_{02} 、 V_{03} 、 V_{04} および V_{05} が生成されて出力される。

【0005】 次に、図4を参照して、プッシュプル接続される充電型増幅器4および放電型増幅器5の動作について説明する。上述のように、ブリーダ抵抗回路による分割電圧により、放電型増幅器5に含まれるPMOSトランジスタ29のゲートには、分圧電圧 V_2 が印加されており、また充電型増幅器4に含まれるNMOSトランジスタ22のゲートには、分圧電圧 V_3 が印加されている。云うまでもなく $V_2 > V_3$ であり、プッシュプル接続される充電型増幅器4および放電型増幅器5に対しては、常に、放電型増幅器5に印加される分圧電圧の方が高レベルとなるように設定される。充電時においては、充電型増幅器4内のPMOSトランジスタ24は十分な充電能力を有しており、増幅器3より出力される電圧 V_1 の立ち上がり入力に対応して、分圧電圧 V_3 を正入力端子に受けてNMOSトランジスタ22が稼働し、PMOSトランジスタ24は正常に機能して、充電型増幅器として正常に動作する。しかしながら、PMOSトランジスタ24は、定電流源26の電流値に制約されて放電時に対する十分な放電能力がなく、動作機能として放電に対応できない状態となる。このために、放電時においては、充電型増幅器4の代わりに、放電型増幅器5が動作する状態となる。即ち、放電時においては、分圧電圧 V_2 を放電型増幅器5の正入力端子に受けて、当該放電型増幅器5に含まれるPMOSトランジスタ29が稼働し、NMOSトランジスタ33が十分な放電能力を有する状態となって、放電型増幅器5により正常に放電動作が行われる。しかしながら、この放電増幅器5においても、充電増幅器4と同様に、定電流源33の電流値に制約されて、充電時における動作機能に対応することが不可能である。

【0006】 図4の充電型増幅器4および放電増幅器5のプッシュプル接続による出力段においては、当該電圧出力レベルは、常時、充電型増幅器4の出力電圧レベルよりも高いレベルにあることが動作上の必要条件となっている。この必要条件が保持されず、充電型増幅器4の出力レベルが放電増幅器5の出力レベルよりも高い場合には、PMOSトランジスタ24およびNMOSトランジスタ34を通して、高電位電圧 V_{LCD} と接地点との間が短絡状態となる。この短絡状態に対処するためには、

放電型増幅器5に対する入力電圧としては、充電型増幅器4の入力電圧よりも高い電圧レベルを入力し、当該放電増幅器5のオフセット電圧にばらつきが存在するような状態においても、放電型増幅器5の出力レベルとしては、常に充電型増幅器4の出力レベルよりも高い状態を保持することができるようにすることが必要不可欠となる。

【0007】

【発明が解決しようとする課題】上述した従来の液晶駆動用レベル電源回路においては、電源投入の電圧立ち上がり時において、DCDCコンバータより出力される高電位電圧 V_{LCD} のレベルが十分に立ち上がっていない状態においては、当該高電位電圧 V_{LCD} のレベルが低いために、増幅器3の出力電圧 V_1 および充電型増幅器4の出力電圧 V_{01} が低レベルで出力される。従って、ブリーダ抵抗回路により、各充電型増幅器および放電型増幅器の正入力端子に入力される分圧電圧も低レベルに移行して、これにより各分圧レベルが極めて近接した電圧レベルとなり、プッシュプル接続される充電型増幅器および放電型増幅器のオフセット電圧にばらつきが存在する場合には、正常動作状態とは異なって、放電型増幅器の出力電圧の方が、充電型増幅器の出力電圧よりも低レベルになるという逆転現象が生じ、この逆転現象により、高電位電圧 V_{LCD} より接地点に対して貫通電流が発生するという欠点がある。

【0008】また、液晶駆動用レベル電源回路の動作に対応する電源電圧は、DCDCコンバータより印加され、当該液晶駆動用レベル電源回路の消費電流は、全てDCDCコンバータより供給されており、上述のように、逆転現象により、高電位電圧 V_{LCD} より接地点に対して貫通電流が発生するような事態においては、DCDCコンバータによる昇圧機能が阻害されるという欠点がある。

【0009】本発明の目的は、DCDCコンバータより出力される高電位電圧 V_{LCD} が低レベルで出力される状態において、上記の逆転現象により、高電位電圧 V_{LCD} と接地点間に発生する貫通電流を防止することのできる液晶駆動用レベル電源回路を実現することにある。

【0010】

【課題を解決するための手段】本発明の液晶駆動用レベル電源回路は、所定の電源電圧の入力を受けて、当該電源電圧を上回る高電位電圧および所定の基準電圧を生成して出力するとともに、当該高電位電圧の電圧レベルを識別して特定の電圧出力切替制御信号を出力する電圧変換/制御手段と、前記基準電圧の出力側と所定の低電位電源との間に直列接続される第1、第2、第3、………第Nの抵抗により形成されるブリーダ回路と、前記基準電圧を入力して増幅し、第1の液晶駆動用レベル電圧として出力する第1の充電型増幅回路と、前記ブリーダ回路を形成する第i（ $i=1, 3, 5, ……$ 、

$N-2$)の抵抗と第(i+1)の抵抗との接続点における分圧電圧を入力し、増幅して出力する第j（ $j=1, 2, 3, ……$ 、 $N-5$)の放電型増幅回路と、前記ブリーダ回路を形成する第(i+1)の抵抗と第(i+2)の抵抗との接続点における分圧電圧を入力し、増幅して出力する第k（ $k=2, 3, 4, ……$ 、 $N-4$)の充電型増幅回路と、前記第jの放電型増幅回路の出力端と、前記第kの充電型増幅回路の出力端との間に挿入接続されて、前記電圧出力切替制御信号によりオン/オフ切替制御され、これらの第jの放電型増幅回路と第kの充電型増幅回路をプッシュプル接続による増幅出力電圧を、それぞれ第1形態の第jの液晶駆動用レベル電圧として出力するように機能する作用と、これらの第jの放電型増幅回路と第kの充電型増幅回路の中の一方のみによる増幅出力電圧を、それぞれ第2形態の第jの液晶駆動用レベル電圧として出力するように機能する作用とを有する第jのスイッチ手段と、を備えて構成されることを特徴としている。

【0011】なお、前記電圧変換/制御手段は、前記電源電圧の入力を受けて、当該電源電圧を昇圧して前記高電位電圧を出力するとともに、当該高電位電圧の電圧レベルを識別して、所定の電圧識別信号を生成して出力するDCDC変換回路と、前記電源電圧の入力を受けて所定の原基準電圧を生成して出力するとともに、前記電圧識別信号を入力して、前記電圧出力切替制御信号を生成して出力する電圧出力切替制御回路と、前記原基準電圧を増幅して、前記基準電圧を生成して出力する増幅器とを備えて構成してもよい。

【0012】また、前記第1～第(N-4)の充電型増幅回路は、ソースに前記高電位電圧が供給され、ゲートがドレインに接続される第1の第1種導電型トランジスタと、ソースに前記高電位電圧が供給され、ゲートが前記第1の第1種導電型トランジスタのゲートに接続される第2の第1種導電型トランジスタと、ドレインが前記第1の第1種導電型トランジスタのドレインに接続され、ゲートに増幅出力電圧が帰還入力される第1の第2種導電型トランジスタと、ドレインが前記第2の第1種導電型トランジスタのドレインに接続され、ゲートには、それぞれ対応する前記基準電圧または前記ブリーダの分割電圧が入力されて、ソースが前記第1の第2種導電型トランジスタのソースに接続される第2の第2種導電型トランジスタと、前記第1および第2の第2種導電型トランジスタのソースの接続点と、前記低電位電源との間に挿入接続される第1の電流源と、ソースに前記高電位電圧が供給され、ゲートが前記第2の第1種導電型トランジスタのドレインに接続されるとともに容量を介してドレインに接続されて、当該ドレインより、それぞれ各レベルに対応する液晶駆動用レベル電圧を出力するように機能する第3の第1種導電型トランジスタと、前記第3の第1種導電型トランジスタのドレインと、前

記低電位電源との間に挿入接続される第2の定電流源と、を備えて構成され、前記第1～第(N-5)の放電型増幅回路が、ソースに前記低電位電源が供給され、ドレインとゲートが接続される第3の第2種導電型トランジスタと、ソースに前記低電位電源が供給され、ゲートが前記第3の第2種導電型トランジスタのゲートに接続される第4の第2種導電型トランジスタと、ドレインが前記第3の第2種導電型トランジスタのドレインに接続され、ゲートに増幅出力が帰還入力される第4の第1種導電型トランジスタと、ドレインが前記第4の第2種導電型トランジスタのドレインに接続され、ゲートには、それぞれ対応する前記ブリーダーの分割電圧が入力されて、ソースが前記第4の第1種導電型トランジスタのソースに接続される第5の第1種導電型トランジスタと、前記高電位電源と、前記第4および第5の第1種導電型トランジスタのソースの接続点との間に挿入接続される第3の定電流源と、ソースに前記定電位電源が供給され、ゲートが前記第4の第2種導電型トランジスタのドレインに接続されるとともに容量を介してドレインに接続されて、当該ドレインより、それぞれ各レベルに対応する液晶駆動用レベル電圧を出力するように機能する第5の第2種導電型トランジスタと、前記高電位電源と、前記第5の第2種導電型トランジスタのドレインとの間に挿入接続される第4の定電流源とを備えて構成してもよい。

【0013】更に、前記第1～第(N-5)のスイッチ手段としては、対応するソースとドレインが共通接続され、ゲートに前記電圧出力切替制御信号を形成する1対のレベル信号の入力を受けて、当該レベル信号によりオン・オフ切替制御される第1種導電型トランジスタと第2種導電型トランジスタにより構成するようにしてもよい。

【0014】

【発明の実施の形態】次に、本発明について図面を参照して説明する。

【0015】図1は本発明の1実施形態を示すブロック図である。図1に示されるように、本実施形態は、電源電圧 V_{DD} の供給を受けて、 n 倍の高電位の電源電圧 V_{LCD} を生成して出力するDCDCコンバータ2と、所定の基準電圧 V_{REF} を生成して出力するとともに、DCDCコンバータ2より出力される電圧識別信号103の入力を受けて、スイッチ切替制御信号101または102を出力するスイッチ制御回路1と、前記基準電圧 V_{REF} を入力して増幅して出力する増幅器3と、増幅器3の出力端と接地点との間に直列接続されてブリーダー抵抗回路を形成する抵抗10～18と、それぞれ正入力端子に前記ブリーダー抵抗回路の各分圧電圧出力が入力され、負入力端子に各出力電圧が入力される充電型増幅器4および放電型増幅器5と、プッシュプル接続される一対の充電型増幅器4および放電型増幅器5の出力側に接続さ

れて、前記スイッチ切替制御信号101または102により切替制御されるアナログスイッチ6、7、8および9とを備えて構成される。

【0016】また、図2は、本実施形態に含まれる充電型増幅器4と放電型増幅器5の内部構成を示す回路図であり、図1のブロック図において、出力電圧 V_{O2} を出力するように動作する、プッシュプル接続された一対の充電型増幅器4と放電型増幅器5と、これらの一対の増幅器の出力側に設けられているアナログスイッチ6が示されている。図2に示されるように、充電型増幅器4は、PMOSTランジスタ19、20および24と、NMOSTランジスタ21および22と、定電流源23および26と、容量25とを備えて構成され、放電型増幅器5は、PMOSTランジスタ28および29と、NMOSTランジスタ30、31および33と、定電流源27および33と、容量32とを備えて構成される。

【0017】先ず、図1を参照して、本実施形態の総合動作について説明する。図1において、通常動作状態においては、DCDCコンバータ2より出力される高電位電圧 V_{LCD} は、増幅器3および各充電型増幅器4および放電型増幅器5に供給される。スイッチ制御回路1より出力される基準電圧 V_{REF} は、増幅器3により増幅されて電圧 V_1 として出力され、液晶駆動レベルの最高出力に対応する充電型増幅器4の正入力端子に入力されて、当該充電型増幅器4からは、液晶駆動レベルの最大レベルに対応する出力電圧 V_{O1} が出力されるとともに、ブリーダー抵抗回路にも供給される。このブリーダー抵抗回路においては、抵抗10～18により電圧 V_1 が抵抗分割されて、それぞれ対応する充電型増幅器4および放電型増幅器5の正入力端子に入力される。

【0018】この通常動作状態においては、DCDCコンバータ2より出力される高電位電圧 V_{LCD} は、正常の電圧レベルにて出力されており、この場合には、当該DCDCコンバータ2より出力される電圧識別信号104の入力を受けて、スイッチ制御回路1より出力されるスイッチ制御信号101は“H”レベル、スイッチ制御信号102は“L”レベルとしてアナログスイッチ6、7、8および9に入力されている。これによりアナログスイッチ6、7、8および9は全てオンの状態となり、従来例の場合と同様に、それぞれ一対の各分割電圧を入力とする充電型増幅器4と放電型増幅器5のプッシュプル接続による各組み合わせ回路より、各液晶駆動レベルに対応する出力電圧 V_{O2} 、 V_{O3} 、 V_{O4} および V_{O5} が出力される。即ち、本実施形態においては、5レベルの液晶駆動レベルに対応する出力電圧 V_{O1} 、 V_{O2} 、 V_{O3} 、 V_{O4} および V_{O5} が生成されて出力される。

【0019】また、DCDCコンバータ2より出力される高電位電圧 V_{LCD} のレベルが低下した状態においては、例えば、電源投入時の電源電圧 V_{DD} の立ち上がり時には、当該DCDCコンバータ2より出力される電圧識

別信号104の入力を受けて、スイッチ制御回路1より出力されるスイッチ制御信号101は“L”レベル、スイッチ制御信号102は“H”レベルとなって出力されて、アナログスイッチ6、7、8および9に入力される。この場合には、アナログスイッチ6、7、8および9は共にオフの状態となって、これらのアナログスイッチに対応して、それぞれ出力電圧V02、V03、V04およびV05の出力に寄与する充電型増幅器4、放電型増幅器5、充電型増幅器4および放電型増幅器5は、それぞれ主増幅器として設定され、当該主増幅器と対となる放電型増幅器または放電型増幅器は、それぞれ副増幅器として設定される。即ち、アナログスイッチ6、7、8および9がオフの時には、上記の主増幅器のみより、対応する液晶駆動レベルに対応する電圧が出力される回路構成となり、充電型増幅器の出力電位が放電型増幅器の出力電位よりも高レベルになった場合においても、アナログスイッチがオフとなっているために、充電型増幅器の高電位電圧V_{LCD}のラインと接地点との間が短絡状態となり、高電位電圧V_{LCD}ラインより接地点に貫通電流が流れるという事態は防止される。これにより、電源電圧投入時において、貫通電流発生に伴って生じるDCDCコンバータ2に対する過剰な負荷が回避されて、高電位電圧V_{LCD}が所定レベルに立ち上がり、液晶駆動用レベル電源回路が正常に起動される。

【0020】なお、図2は、前述のように、本実施形態に含まれる充電型増幅器4と放電型増幅器5の内部構成、およびこれらの一対の増幅器の出力側に設けられているアナログスイッチ6を示す回路図であり、充電型増幅器4と放電型増幅器5の動作については、前述の従来例の場合と全く同様である。しかし、本実施形態においては、これらの充電型増幅器および放電型増幅器の出力間には、アナログスイッチ6が接続されており、上述のように、スイッチ制御信号101および102の入力を受けて、定常動作状態においては、充電型増幅器4の出力側と放電型増幅器5の出力側とが接続される回路構成となり、その動作は従来例の場合と全く同様である。

【0021】

【発明の効果】以上説明したように、本発明は、液晶駆動用レベル電源回路に適用されて、当該液晶駆動用レベ

ル電源回路に供給される高電位電圧レベルの低下に対応して、プッシュプル接続される充電型増幅器および放電型増幅器の出力側の接続関係を、アナログスイッチを介してオン・オフ制御することにより、電源投入時などの高電位電圧の低レベル状態において、高電位電圧ラインから接地点に対して発生する貫通電流を防止することが可能となり、DCDCコンバータに対する過剰な消費電流負荷が排除されて、常時、正常な液晶駆動レベル電源供給の動作が保持されるという効果がある。

10 【0022】また、前記アナログスイッチを構成するPMOSトランジスタおよびNMOSトランジスタのバックゲートを、それぞれ前記高電位電圧と接地点に接続することにより、これらのPMOSトランジスタおよびNMOSトランジスタのバックゲート特性により、そのスレッショルド電圧レベルが高くなり、高電位電圧が高い電圧にならなければ、アナログスイッチがオンしないために、DCDCコンバータの動作を、より正常の動作状態に維持することができるという効果がある。

【図面の簡単な説明】

20 【図1】本発明の1実施形態を示すブロック図である。

【図2】本実施例における充電型増幅器、放電型増幅器およびアナログスイッチを示す回路図である。

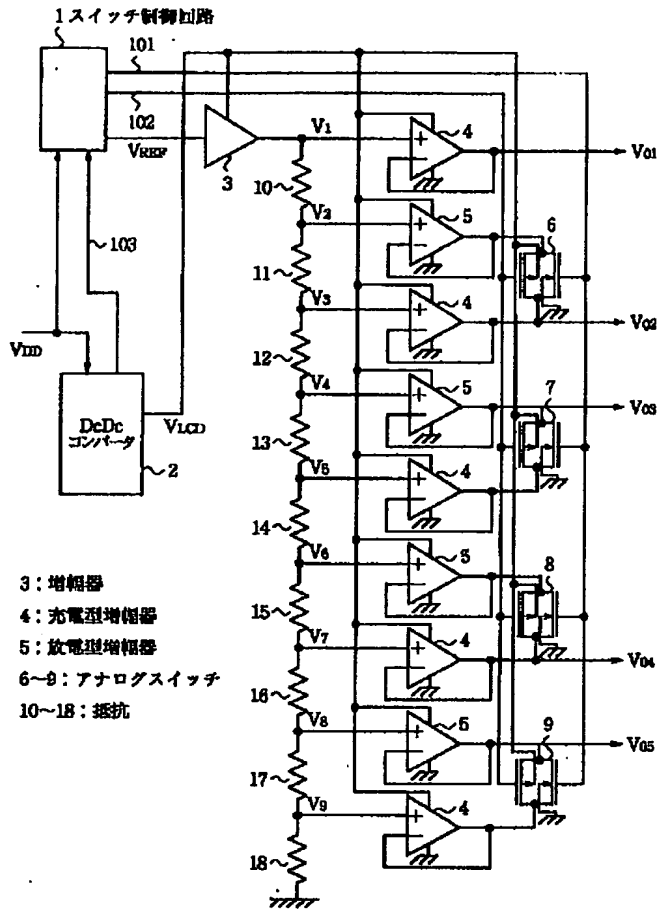
【図3】従来例を示すブロック図である。

【図4】従来例における充電型増幅器および放電型増幅器を示す回路図である。

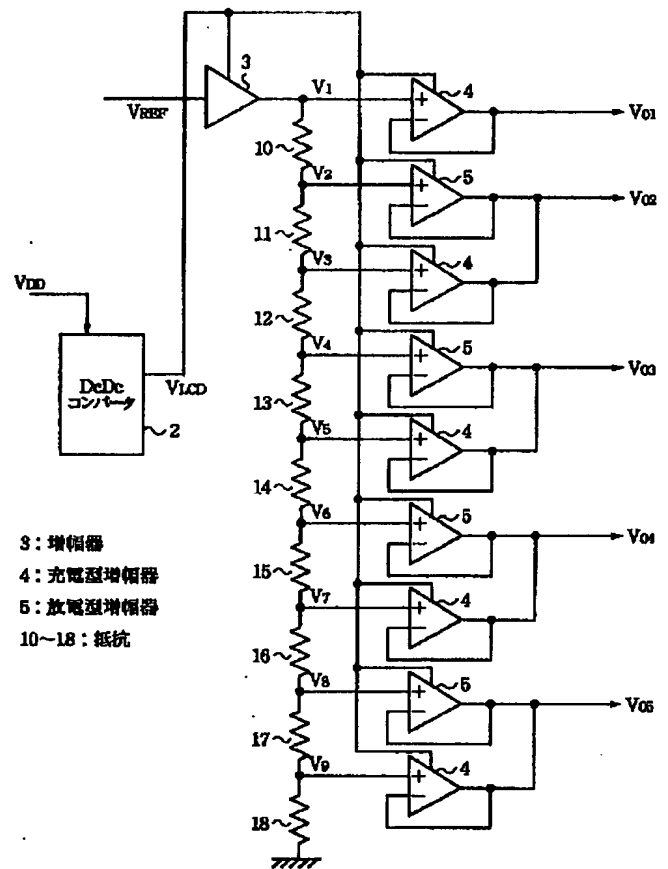
【符号の説明】

- | | |
|----------------|------------|
| 1 | スイッチ制御回路 |
| 2 | DCDCコンバータ |
| 3 | 増幅器 |
| 30 4 | 充電型増幅器 |
| 5 | 放電型増幅器 |
| 6～9 | アナログスイッチ |
| 10～18 | 抵抗 |
| 19、20、24、28、29 | PMOSトランジスタ |
| 21、22、30、31、34 | NMOSトランジスタ |
| 23、26、27、33 | 定電流源 |

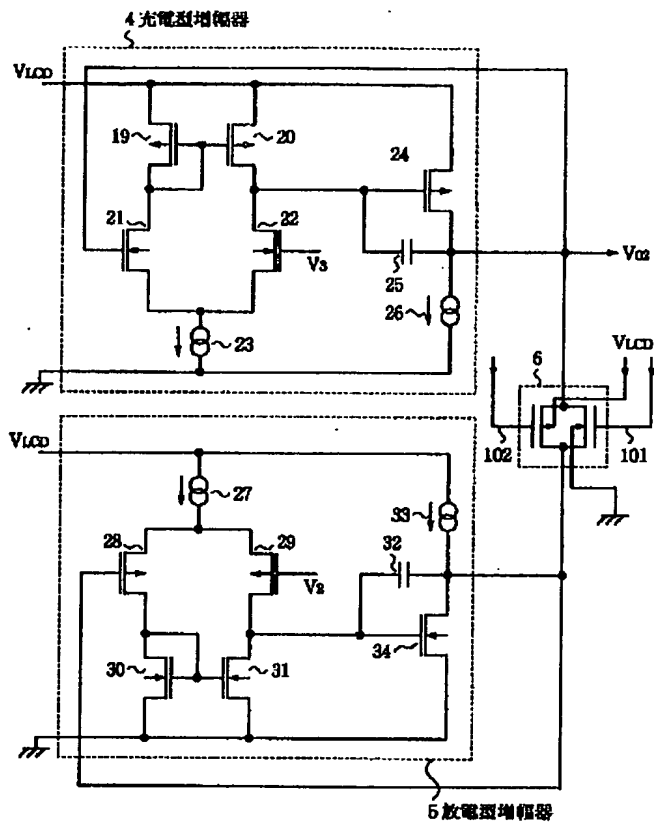
【図1】



【図3】



【図2】



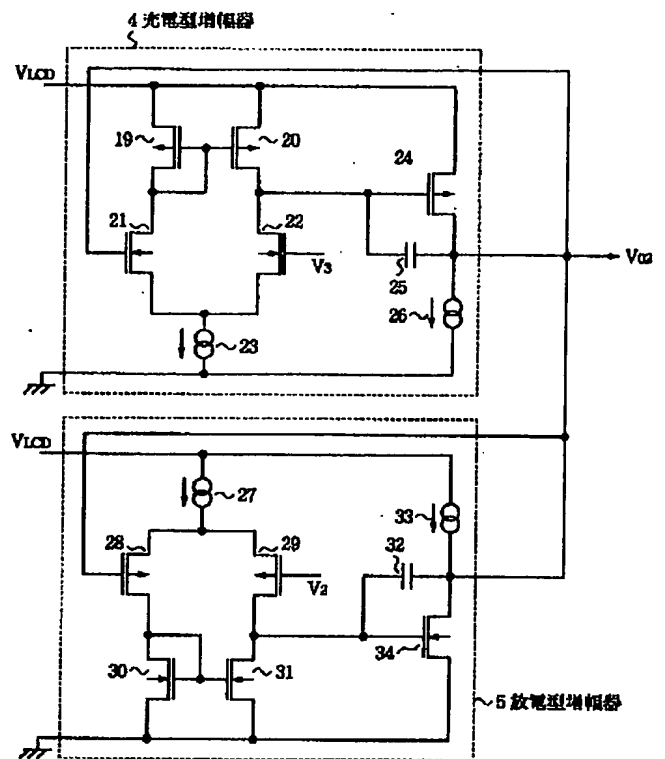
6: アナログスイッチ

19、20、24、28、29: PMOS トランジスタ

21、22、30、31、34: NMOS トランジスタ

23、26、27、33: 定電流源

【図4】



19、20、24、28、29: PMOS トランジスタ

21、22、30、31、34: NMOS トランジスタ

23、26、27、33: 定電流源

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-232383

(43)Date of publication of application : 02.09.1998

(51)Int.Cl.

G02F 1/133
G09G 3/36

(21)Application number : 09-034873

(71)Applicant : NEC CORP

(22)Date of filing : 19.02.1997

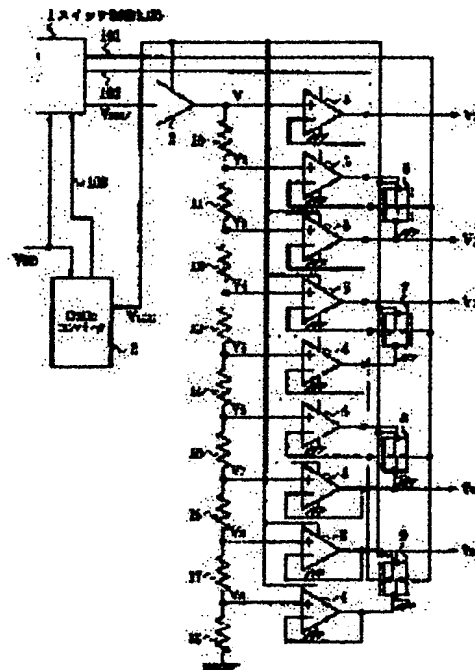
(72)Inventor : KAMIO MARI

(54) LEVEL POWER SOURCE CIRCUIT FOR LIQUID CRYSTAL DRIVE

(57)Abstract:

PROBLEM TO BE SOLVED: To always retain a normal liquid crystal driving level power source supplying operation by performing controls ON-OFF of output side connection relations of charge type amplifiers and discharge type amplifiers to be connected in push-pull with analog switches by being applied to a level power source circuit for liquid crystal drive and according to the lowering of a high potential voltage level to be supplied to the level power source circuit for liquid crystal drive.

SOLUTION: In a state in which the level of a high potential voltage VLCD to be outputted from a DC-DC converter 2 is lowered, a switch control signal 101 to be outputted from a switch control circuit 1 is outputted by being made to be 'L' level and a switch control signal 102 is outputted by being made to be 'H' level and the signals are inputted to analog switches 6-9. In the case, charge type amplifiers 4, discharge type amplifiers 5 respectively contributing to outputs of output voltages V02, V03, V04, V05 are respectively set as main amplifiers and charge type amplifiers and discharge type amplifiers becoming pairs are respectively set as sub-amplifiers in accordance with off states of the analog switches 6-9.



LEGAL STATUS

[Date of request for examination] 19.02.1997

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 2980048

[Date of registration] 17.09.1999

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office